

AT-NO: JP404023327A

DOCUMENT-IDENTIFIER: JP 04023327 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 27, 1992

INVENTOR-INFORMATION:

NAME

MATSUKAWA, YOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02123811

APPL-DATE: May 14, 1990

INT-CL (IPC): H01L021/3205, H01L021/90

US-CL-CURRENT: 438/680, 438/763, 438/FOR.395

ABSTRACT:

PURPOSE: To obtain T-shaped wiring whose wiring density is high and which can enhance the positioning margin between wiring connected between layers at a multilayer wiring by a method wherein the cross section perpendicular to the extension direction of individual wiring is a T-shape which is composed of a top part having a width of $W_{<SB>1}$ and a leg part having a width of $W_{<SB>2}$ (where $W_{<SB>2} < W_{<SB>1}$) and erect T-shapes and inverted T-shapes are arranged alternately in the extension direction.

CONSTITUTION: A stopper layer 6 composed of a material which is not etched by an etchant for an insulating layer 7 is formed on an insulating layer 5 on the surface of a semiconductor-device substrate 4. An aluminum layer is deposited on it; it is patterned; and only top parts 31 of inverted T-shapes 3 are formed. Then, the insulating layer 7 is deposited on the whole surface of the semiconductor-device substrate 4; an Al layer is deposited on the insulating layer 7; and grooves 8 are buried in the Al layer. The Al layer is patterned; and leg parts 22 and top parts 21 of erect T-shapes 2 and leg parts 32 of the inverted T-shaped 3 are formed collectively. Thereby, wiring whose cross section is T-shaped can be arranged and formed at higher density.

COPYRIGHT: (C)1992,JPO&Japio

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平4-23327

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月27日

H 01 L 21/3205
21/90

A

6810-4M
6810-4M

H 01 L 21/88

A

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-123811

⑰ 出 願 平2(1990)5月14日

⑱ 発 明 者 松 川 佳 洋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

半導体装置

2 特許請求の範囲

(1) 半導体装置基板と、

該基板の一表面上に互いに平行に設けられた複数の配線であって、各々の該配線の延伸方向に垂直な断面が、幅 W_1 である頂部と幅 W_2 ($W_2 < W_1$)である脚部とから成るT字形であり且つ前記延伸方向において正立した該T字形と倒立した該T字形とが交互に配列されており且つ隣接する該配線どうしの間において該正立T字形と該倒立T字形とが交互に配列されている配線

とを備えたことを特徴とする半導体装置。

(2) 該複数の配線から成る組が層間絶縁層を介して少なくとも上下に二重積層された構造であって、下方の該組における少なくとも一つの該配線の該正立T字形の頂部と上方の組における少なくとも一つの該配線の該倒立T字形の頂部とが該層間絶

縁層に設けられたコンタクトホールを通じて相互接続されていることを特徴とする請求項1記載の半導体装置。

(3) 該複数の配線の相互間に充填された絶縁層と、該絶縁層と該基板表面との間に介在する層であって該絶縁層に対するエッチングに対して耐性を有する絶縁性物質から成るストッパ層とを有することを特徴とする請求項1記載の半導体装置。

3 発明の詳細な説明

(概 要)

半導体装置の内部配線に係り、とくに、断面がT字形である配線に関し、

T字形構造の配線をより高密度で配設可能とすることを目的とし、

半導体装置の一表面上に互いに平行に設けらる複数の配線を、各々の該配線の延伸方向に垂直な断面が、幅 W_1 である頂部と幅 W_2 ($W_2 < W_1$)である脚部とから成るT字形であり且つ前記延伸方向に

において正立した該T字形と倒立した該T字形とが交互に配列されており且つ隣接する該配線どうしの間において該正立T字形と該倒立T字形とが交互に配列されるように構成する。

〔産業上の利用分野〕

本発明は、半導体装置の内部配線に係り、とくに、断面がT字形である配線に関する。

〔従来の技術〕

単位長さ当たりの抵抗を増大させることなく、寄生容量の増大を防止する構造として、断面がT字形の配線が提案されている。(特開昭53-32670、特開昭61—191053、特開昭63-221642等)

T字形構造の配線の他の利点として、高集積度の半導体装置において、微細幅の配線から成る多層配線の層間の位置ずれに対する余裕度が大きいことである。すなわち、同じ面積の矩形断面を有する配線に比べて上表面の面積がより大きいT字形構造の頂部に対してコンタクトホールを形成す

成るT字形であり且つ前記延伸方向において正立した該T字形と倒立した該T字形とが交互に配列されており且つ隣接する該配線どうしの間において該正立T字形と該倒立T字形とが交互に配列されている配線とを備えたことを特徴とする本発明に係る半導体装置。および、上記において、該複数の配線から成る組が絶縁層を介して少なくとも上下に二組積層された構造であって、下方の該組における少なくとも一つの該配線の該正立T字形の頂部と上方の組における少なくとも一つの該配線の該倒立T字形の頂部とが該絶縁層に設けられたコンタクトホールを通じて相互接続されていることを特徴とする本発明に係る半導体装置によって達成される。

〔作用〕

第1図は本発明の原理説明図であって、同図(a)および(b)は、それぞれ、T字形断面を有する配線を、各々が正立した状態で互いに平行に配列した場合および正立状態および倒立した状態を交互に

ればよいからである。

〔発明が解決しようとする課題〕

しかしながら、上記開示は、半導体装置基板上に断面が正立したT字形をなす構造の配線を形成するものである。したがって、例えば半導体メモリにおけるビット線のように多数の配線が平行して配設される場合には、配線密度、すなわち、単位幅の領域に配設可能な配線の本数は、T字形の頂部の幅によって制限されてしまう。

本発明は、上記従来の構造に比べて、配線密度がより高くかつ多層配線における層間接続される配線間の位置合わせ余裕をも向上可能なT字形配線構造を提供することを目的とする。

〔課題を解決するための手段〕

上記目的は、半導体装置基板と、該基板の一表面上に互いに平行に設けられた複数の配線であって、各々の該配線の延伸方向に垂直な断面が、幅 W_1 である頂部と幅 W_2 ($W_2 < W_1$)である脚部とから

配列した場合を示す。T字形の頂部の幅を w_1 、脚部の幅を w_2 、配線間のギャップを g とすると、それぞれの配列ピッチは、 $g + w_1$ および $g + (w_1 + w_2)/2$ であり、 $w_1 > w_2$ であるから、正立T字形と倒立T字形を交互に配列した場合の方がピッチが小さくなることは論をまたない。

多層配線においては、上層と下層とを接続するために層間絶縁層にコンタクトホールを形成する必要があるが、配線幅(上記における w_2)をパターンニング可能な極限まで小さくした場合、微細幅の配線とコンタクトホールとの位置合わせ精度が保証できなくなる。また、通常、層間絶縁層に対するコンタクトホール形成のためのエッチングは下層配線をストッパとして行われる。したがって、コンタクトホールの寸法は、下層配線の幅より小さいことが必要とされる。その結果、下層配線の幅が微細化すると、要求されるコンタクトホールの寸法がリソグラフ技術の限界を超えてしまい、形成不可能となる。

本発明においては、第1図(b)のように、正立T

字形配線と倒立T字形配線とを交互に配設するだけでなく、各々の配線をその延伸方向においても正立T字形部分と倒立T字形部分とが交互に配列された構造とする。これにより、下層配線の正立T字形部分の頂部と上層配線の倒立T字形部分の頂部が対向するように配置し、これら頂部間の絶縁層にコンタクトホールを形成するようにすれば、実質的に配線幅やコンタクトホールの位置合わせ精度による制約を受けずに層間接続が形成可能となる。

(実施例)

以下本発明の実施例を図面を参照して説明する。

第2図は本発明の配線の構造を示し、同図(a)は斜視図、同図(b)は平面図である。各々の配線1は、その延伸方向に垂直な断面が、正立するT字形部分2と倒立するT字形部分3とが交互に前記延伸方向に沿って現れる。また、隣接する配線1どうしの間においても、正立するT字形部分2と倒立するT字形部分3とが交互に現れる。なお、同図

ミニウム(Al)層を堆積し、これを周知のリソグラフィ技術によりパターンニングし、同図(b)に示すように、前記倒立T字形3の頂部31のみを形成する。なお、半導体装置基板4に形成されている図示しない半導体素子と頂部31の或るものとを接続する必要がある場合には、上記Al層を堆積する前に、当該頂部31下のストッパ層6および絶縁層5に、頂部31の幅 w_1 より小さい開口寸法のコンタクトホール9を形成しておく。前記頂部31を構成するAl層の堆積時に、このコンタクトホール9にAlが充填され、所要の接続が形成される。

次いで、同図(c)に示すように、半導体装置基板4上全面に、厚さ4000Å程度の絶縁層7を堆積する。必要に応じて、スピノングラス(SOG)として周知の珪酸ガラス溶液の塗布およびエッチバック法を用いて絶縁層7表面を平坦化する。そのうち、絶縁層7に、前記T字形部分2および3のそれぞれの脚部22および32の幅 w_2 (第1図参照)に等しい幅の溝8を形成する。溝8は既に形成されている頂部31上および隣接する頂部31の間の各位

(b)においては、各々の配線1の境界を分りやすくするために、隣接する配線1どうしが重ならない場合が示されているが、実際の配置はこの限りではなく、隣接する配線1どうしの間で、正立するT字形部分2の頂部21と倒立するT字形部分3の頂部31とが部分的に重なり合うように、より接近して配置することもできる。

第3図は、第2図に示す配線1の形成工程説明図である。同図(a)を参照して、半導体装置基板4の表面上に、例えばPSG(燐珪酸ガラス)から成る絶縁層5を形成する。なお、半導体装置基板4の表面には図示しない半導体素子と配線が形成されているものとする。

次いで、絶縁層5上に、後述する絶縁層7に対するエッチング剤によってエッチングされない材料から成るストッパ層6を形成する。上記絶縁層7がPSGから成る場合には、 Si_3N_4 から成るストッパ層6を形成すればよい。ストッパ層6の厚さは、500Å程度とする。

ストッパ層6上に、例えば厚さ約5000Åのアル

ミニウムを通り、紙面に垂直に延伸している。溝8の形成は、レジストマスクを用いて異方性ドライエッチングにより行えばよい。このエッチングにおいて、例えばAlから成る頂部31とストッパ層6の両者がストッパとして機能し、絶縁層5に達する過剰なエッチングが防止される。

次いで、絶縁層7上に厚さ約5000ÅのAl層を堆積する。これにより、溝8はAl層により埋め込まれる。絶縁層7上の前記Al層を周知のリソグラフィ技術によりパターンニングして、同図(d)に示すように、正立T字形2の脚部22および頂部21と倒立T字形3の脚部32とを一括して形成する。なお、倒立T字形3の脚部32の絶縁層7上に突出している部分の幅は、脚部32をパターンニングするための露光マスクと溝8との位置合わせ余裕度の分だけ前記 w_2 より大きくなる。

以上のようにして、第2図に示す構造を有する本発明の配線が形成される。

上記本発明の配線を多層構造に適用する場合を第4図を参照して説明する。同図は下層配線11と

上層配線12とが同方向に延在する構造であるが、下層配線11と上層配線12とが交差する方向に延在する構造の場合も同様である。

すなわち、第3図(向)に引続いて、絶縁層7上に、例えばPSGから成る絶縁層14および Si_3N_4 から成るストップ層15を堆積したのち、後述する上層配線との層間接続が行われる下層配線11における正立T字形2の頂部21上の絶縁層14にコンタクトホールを(図示省略)形成する。次いで、第3図と同様にして、上層配線12における各部分の形成を行う。すなわち、倒立T字形30の頂部31の形成、絶縁層71の形成、絶縁層71に対する溝8(図示省略)の形成、および、正立T字形20の頂部21および脚部22と倒立T字形30の脚部32の形成である。この場合、下層配線11との層間接続が行われる上層配線12における倒立T字形30の頂部31が、当該下層配線11における正立T字形20の頂部21上に位置するように配置する。このように、下層配線11と上層配線12とを層間接続するための前記コンタクトホールの形成は、実質的に、当該配線の頂部

の幅 w_1 の中心に対して $w_1/2$ の位置合わせ余裕度を以て行うことができる。

なお、絶縁層14上に形成されるストップ層15は、上層配線12の脚部22に対応する溝を絶縁層71に形成する際のストップとして機能することは言うまでもない。

(発明の効果)

本発明によれば、T字形断面を有する配線がより高密度で配列可能となり、また、配線が微細化した場合にも、基板との接続および多層配線における層間接続のために層間絶縁層に形成されるコンタクトホールの位置合わせ余裕度に対する配線幅の制約が緩和され、高密度・微細配線の接続に対する信頼性および製造歩留りを向上可能とする効果がある。

4 図面の簡単な説明

第1図は本発明の原理説明図。

第2図は本発明の配線の構造説明図。

第3図は本発明の配線の形成工程説明図。

第4図は本発明による多層配線形成工程例説明図

図

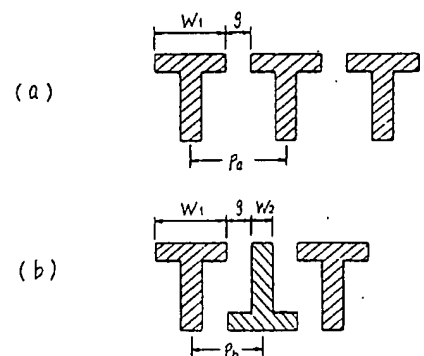
である。

図において、

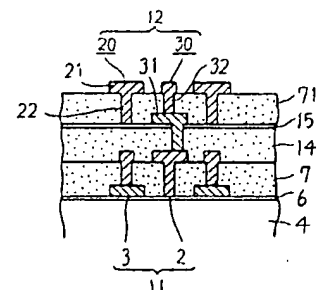
- 1 は配線、
- 2 と20 は正立するT字形部分、
- 3 と30 は倒立するT字形部分、
- 4 は半導体装置基板、
- 5 と7 と14 と71 は絶縁層、
- 6 と15 はストップ層、
- 8 は溝、 9 はコンタクトホール、
- 11 は下層配線、 12 は上層配線、
- 21 と31 は頂部、 22 と32 は脚部

である。

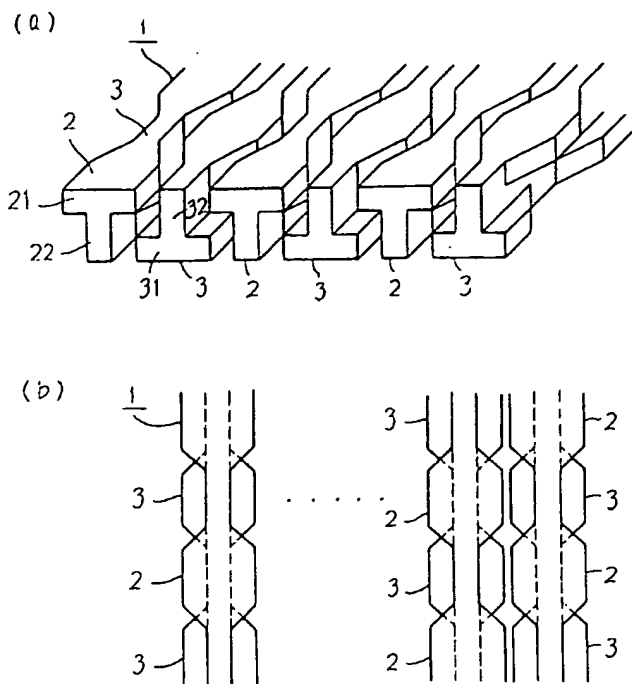
代理人 弁理士 井 術 貞一



本発明の原理説明図
第1図

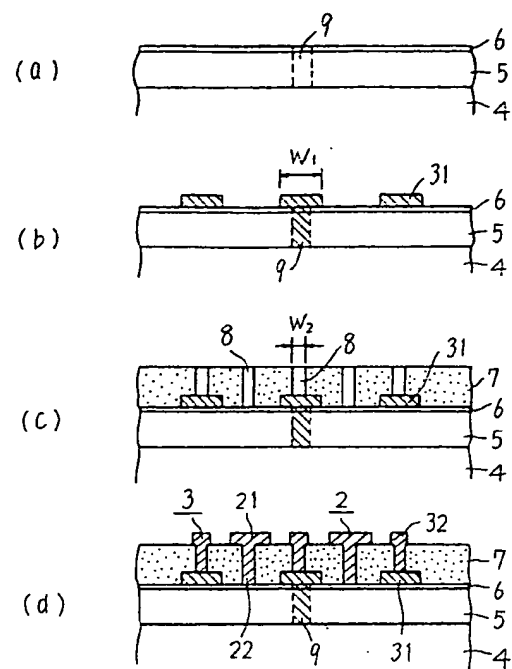


本発明による多層配線形成工程説明図
第4図



本発明の配線の構造説明図

第 2 図



本発明の配線の形成工程説明図

第 3 図